

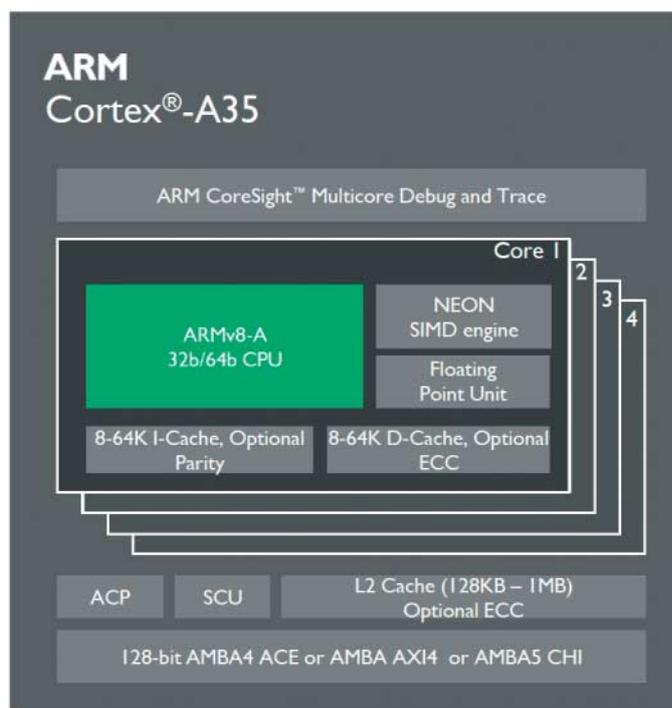
## ARM-Prozessor für eine Milliarde Smartphones

Nicht kleckern, sondern klotzen: Mit dem auf der hauseigenen Entwicklertagung TechCon vorgestellten 64-Bit-Prozessor Cortex-A35 will ARM die nächste Milliarde Smartphone-Nutzer erschließen. Chiphersteller hat ARM bereits im Boot; erste Geräte sollen binnen eines Jahres erscheinen. Der Cortex-A35 soll einerseits sparsamer und effizienter arbeiten als alle bisherigen CPU-Kerne für Smartphones, andererseits dieselben 64-Bit-Befehle verstehen wie seine großen Geschwister. Die unterteilt ARM in „High Performance“ (Cortex-A72 und -A57) sowie „High Efficiency“ (Cortex-A53). Der Cortex-A35 soll die Familie „Ultra High Efficiency“ begründen – wobei ARM ihn zugleich als Nachfolger der 32-Bit-Kerne Cortex-A5 und -A7 sieht. Wie diese arbeitet er In-Order.

Am liebsten vergleicht ARM den A35 mit dem A7. Bei identischer Strukturgröße (28 nm) und Taktung soll der Neue 10 Prozent weniger Strom brauchen und dennoch zwischen 6 (Integer) und 40 Prozent (Geekbench MP1) schneller sein. Die Neon-Einheit wuppt sogar fünfmal so viele Gleitkommaoperationen doppelter Genauigkeit. Um all das zu erreichen, hat der Cortex-A35 ein komplett neues Frontend, TLBs mit 512 statt 256 Einträgen und ein Speicher-Interface bekommen, das genauso schnell ist wie das des Cortex-A53. Von diesem stammt übrigens auch die erweiterte Energieverwaltung.

Wo der Cortex-A35 im Vergleich zum A53 steht, lässt sich aus den offiziellen Angaben nur indirekt ermitteln: Der A35 soll 32 Prozent sparsamer und zugleich 25 Prozent effizienter sein – demzufolge rechnet er etwa 15 Prozent langsamer.

Aber nicht nur bei den großen Prozessoren geht es voran. Mit ARMv8-M sollen auch Mikrocontroller von der achten Architekturgeneration profitieren – selbst wenn ihnen die 64-Bit-Welt verschlossen bleibt. Sie werden sogar nur den komprimierten Thumb-Befehlssatz T32 verstehen. Im Vordergrund stehen hier deterministische Ausführung, Effizienz, niedrige Kosten und



Effizienter und flexibler als alle Vorgänger: Die kleinstmögliche Konfiguration des Cortex-A35 belegt nur 0,4 mm<sup>2</sup> auf einem 28-nm-Chip, die größte mit vier Kernen, vollen Caches und Neon-Einheit das Zehnfache.

Sicherheit. So entfallen Hypervisor und Virtualisierung.

Neu gegenüber ARMv7-M ist die Divisionseinheit für Integer. Diese mussten bisher Software-Bibliotheken emulieren. Ein kombinierter Compare-Branch-Befehl soll Steuercode beschleunigen; Semaphoren sollen die Zusammenarbeit mehrerer Kerne verbessern. Interrupts lassen sich nun besser priorisieren. Ansonsten bleibt der Funktionsumfang der „Baseline“ erhalten; DSP- und Gleitkommaeinheiten sind weiterhin optional. ARM verspricht sich von den Architekturverbesserungen einen Geschwindigkeitszuwachs von 40 Prozent.

Für mehr Sicherheit ohne Kompromisse bei den Interrupt-Latenzen soll TrustZone sorgen. Das unterscheidet nach sicheren und unsicheren Ausführungsmodi. Beide bekom-

men eigene Stackpointer- und Masking-Register. TrustZone kennt drei Sorten von Adressbereichen: Zugriffe auf „Secure“ und „Non-secure Addresses“ sind exklusiv den jeweiligen Modi vorbehalten. Der Übergang erfolgt ausschließlich über „Secure but Non-secure-callable Addresses“. Damit können sicherer und unsicherer Code auf derselben CPU laufen, ohne sich gegenseitig zu kompromittieren.

Mit in dieses Konzept gehört auch der neue Interconnect AMBA 5 AHB, der nicht etwa auf dem AMBA 4 der großen Prozessoren aufsetzt, sondern auf AMBA 3 AHB-Lite. Er gewährt jedem der beiden Ausführungsmodi Zugriff auf getrennte Flash- und SRAM-Bereiche. Auch die Peripherie kann der SoC-Designer nun in vertrauenswürdige und unsichere Regionen unterteilen. (bbe@ct.de)

Anzeige